

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of .

Yoji YAMAGUCHI

Application No.: 10/753,360

Filed: January 9, 2004

Docket No.: 118290

For: SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE, ELECTRONIC
EQUIPMENT, METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, AND
METHOD FOR MANUFACTURING SEMICONDUCTOR MODULE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-007770, filed January 16, 2003.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: January 28, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

**DEPOSIT ACCOUNT USE
AUTHORIZATION**

Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月16日
Date of Application:

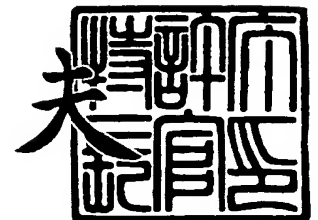
出願番号 特願2003-007770
Application Number:
[ST. 10/C]: [JP 2003-007770]

出願人 セイコーエプソン株式会社
Applicant(s):

2004年 1月 6日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3108585

【書類名】 特許願

【整理番号】 J0094899

【提出日】 平成15年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/07

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 山口 浩司

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、半導体モジュール、電子機器、半導体装置の製造方法および半導体モジュールの製造方法

【特許請求の範囲】

【請求項 1】 半導体チップの主面上に形成された配線層と、
前記配線層に接続され、前記半導体チップの側壁に形成された層間接続用導電層とを備えることを特徴とする半導体装置。

【請求項 2】 半導体チップの主面上に形成された電極パッドと、
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面に形成された溝と、
前記溝内に充填された導電層と、
前記電極パッドと前記導電層とを接続する配線層とを備えることを特徴とする半導体装置。

【請求項 3】 積層された半導体チップと、
前記半導体チップの側壁にそれぞれ形成され、前記半導体チップ間の層間接続を行う導電層と、
前記半導体チップの主面上にそれぞれ形成され、前記導電層に接続された配線層とを備えることを特徴とする半導体モジュール。

【請求項 4】 積層された半導体チップと、
前記半導体チップの主面上にそれぞれ形成された電極パッドと、
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、
前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、
前記電極パッドと前記導電層とそれぞれを接続する配線層とを備えることを特徴とする半導体モジュール。

【請求項 5】 積層された半導体チップと、
前記半導体チップの主面上にそれぞれ形成された電極パッドと、
前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、

前記電極パッドと前記導電層とをそれぞれを接続する配線層と、
前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、
前記ピン状端子が立てられたインターポーザ基板と、
前記ピン状端子を介して前記溝内に充填された導電層とを備えることを特徴とする半導体モジュール。

【請求項 6】 前記半導体チップは、絶縁性樹脂を介して積層されていることを特徴とする請求項 3～5 のいずれか 1 項記載の半導体モジュール。

【請求項 7】 配線層が主面上に形成されたインターポーザ基板と、
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、
前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、
前記溝内に充填された導電層とを備えることを特徴とする半導体モジュール。

【請求項 8】 積層されたインターポーザ基板と、
前記インターポーザ基板の主面上に形成された配線層と、
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、
前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、
前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、
前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部とを備えることを特徴とする半導体モジュール。

【請求項 9】 開口部が形成された中間基板と、
前記中間基板を介して積層されたインターポーザ基板と、
前記インターポーザ基板の主面上に形成された配線層と、
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、
前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ

基板の側壁に形成された第 1 の溝と、

前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第 2 の溝と、

前記第 1 および第 2 の溝内に充填され、前記中間基板を介して前記インターポザ基板間の層間接続を行う導電層とを備えることを特徴とする半導体モジュール。

【請求項 10】 積層された半導体チップと、

前記半導体チップの主面上にそれぞれ形成された電極パッドと、

前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、

前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、

前記電極パッドと前記導電層とそれぞれを接続する配線層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項 11】 積層された半導体チップと、

前記半導体チップの主面上にそれぞれ形成された電極パッドと、

前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、

前記電極パッドと前記導電層とをそれぞれを接続する配線層と、

前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、

前記ピン状端子が立てられたインターポザ基板と、

前記ピン状端子を介して前記溝内に充填された導電層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項 12】 積層されたインターポザ基板と、

前記インターポザ基板の主面上に形成された配線層と、

前記配線層に接続され、前記インターポザ基板上に実装された半導体チップと、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、

前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、
前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項 1 3】 開口部が形成された中間基板と、
前記中間基板を介して積層されたインターポーザ基板と、
前記インターポーザ基板の主面上に形成された配線層と、
前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、

前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第 1 の溝と、

前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第 2 の溝と、

前記第 1 および第 2 の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層と、

前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項 1 4】 半導体ウェハの切断線上に貫通孔を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 1 5】 配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、

前記掘り込み部内に絶縁膜を形成する工程と、
前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、

前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 16】 半導体チップの側壁に導電層を形成する工程と、
前記半導体チップの側壁に形成された導電層を介して層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 17】 半導体ウェハの切断線上に貫通孔を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により形成された半導体チップを積層する工程と、
前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 18】 半導体ウェハの切断線上に貫通電極を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により分割された貫通電極を介して、前記切断により形成された半導体チップの層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 19】 配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、
前記掘り込み部内に絶縁膜を形成する工程と、
前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、
前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により形成された半導体チップを積層する工程と、
前記切断により分割された貫通孔に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 20】 半導体ウェハの切断線上に貫通孔を形成する工程と、
前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、
前記切断により分割された貫通孔内にピン状端子がはめ込まれるようにして、
前記ピン状端子が立てられたインターポーザ基板上に半導体チップを積層する工程と、
前記分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 21】 側壁に溝が形成され、裏面に凹部が形成されたインターポーザ基板上に半導体チップを実装する工程と、
上層に積層されるインターポーザ基板の凹部に前記半導体チップが収まるようにして、半導体チップが実装されたインターポーザ基板を積層する工程と、
前記インターポーザ基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

【請求項 22】 側壁に溝が形成されたインターポーザ基板上に半導体チップを実装する工程と、
主面に開口部が形成され、側壁に溝が形成された中間基板を介して、前記半導体チップが実装されたインターポーザ基板を積層する工程と、
前記インターポーザ基板および前記中間基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする半導体モジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、半導体モジュール、電子機器、半導体装置の製造方法および半導体モジュールの製造方法に関し、特に、半導体チップの積層構造における層間接続方法に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、半導体チップの積層構造を実現するため、ドライエッ

チングを用いることで、半導体基板に貫通孔を形成し、その貫通孔に埋め込まれた貫通電極を介して半導体基板間の層間接続を行う方法があった。

図14、15は、従来の半導体モジュールの製造方法を示す断面図である。

【0003】

図14(a)において、半導体基板101の能動面101'にはパッド電極102が形成されている。そして、例えば、フォトリソグラフィ技術およびドライエッチング技術を用いることにより、パッド電極102を介して掘り込み部103を半導体基板101に形成する。

ここで、半導体基板101の厚みT11は、例えば、6インチウェハを用いた場合、 $625\mu\text{m}$ 、8インチウェハを用いた場合、 $725\mu\text{m}$ とすることができ、掘り込み部103の深さD2は、例えば、 $70\mu\text{m}$ とすることができる。

【0004】

次に、図14(b)に示すように、例えば、フォトリソグラフィ技術およびCVD技術を用いることにより、掘り込み部103内の底面および側面に絶縁膜104を形成する。なお、絶縁膜104としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

次に、図14(c)に示すように、例えば、スパッタまたは蒸着などにより、掘り込み部103内を含む半導体基板101上にシード電極105を形成する。なお、シード電極105としては、例えば、ニッケルNi、クロムCr、チタンTi、タングステンWなどの導電材料を用いることができる。

【0005】

そして、掘り込み部103に対応した位置に開口部106'が設けられたメッキレジスト層106を、シード電極105が形成された半導体基板101上に形成する。

そして、シード電極105をメッキ端子とした電解メッキを行うことにより、メッキレジスト層106に設けられた開口部106'を介し、掘り込み部103内に埋め込み電極107を形成する。

【0006】

ここで、埋め込み電極107は、掘り込み部103上に盛り上がるようにして

、掘り込み部103だけでなく、開口部106'を埋め込むように形成することができる。これにより、埋め込み電極107を半導体基板101上に突出させることができ、図15(d)における層間接続を安定して行うことができる。

なお、埋め込み電極107としては、例えば、ニッケルNi、銅Cu、金Auなどを用いることができる。

【0007】

次に、図14(d)に示すように、メッキレジスト層106を除去し、埋め込み電極107をマスクとして、シード電極106をエッチングすることにより、半導体ウェハWの能動面101'を露出させる。

次に、図15(a)に示すように、バックグラインドを用いて半導体基板101の裏面101''を研削することにより、半導体基板101を薄型化する。

【0008】

ここで、半導体基板101の裏面101''のバックグラインドは、絶縁膜104が露出する手前で終了させ、バックグラインド後の半導体基板101の厚みT12は、例えば、 $100\mu\text{m}$ とすることができる。

次に、図15(b)に示すように、半導体基板101の裏面101''をドライエッチングすることにより、半導体基板101をさらに薄型化し、掘り込み部103を貫通させて、半導体基板101に貫通孔103'を形成するとともに、絶縁膜104で覆われた埋め込み電極107の先端を露出させて、貫通電極107'を形成する。なお、ドライエッチング後の半導体基板101の厚みT13は、例えば、 $50\mu\text{m}$ とすることができる。また、半導体基板101の裏面101''のドライエッチング時のエッチングガスとしては、例えば、 Cl_2 、 HBr 、 SF_6 などを用いることができる。

【0009】

次に、図15(c)に示すように、貫通電極107'の先端の絶縁膜104をドライエッチングすることにより、貫通電極107'の先端の絶縁膜104を除去する。なお、貫通電極107'の先端の絶縁膜104のドライエッチング時のエッチングガスとしては、例えば、 Cl_2 、 HBr 、 SF_6 などを用いることができる。

【0010】

次に、図15(d)に示すように、各半導体基板101a～101cに形成された貫通電極107a～107cが接触するようにして、半導体基板101a～101cを積層し、半導体基板101a～101c間の隙間に樹脂108a、108bをそれぞれ注入することにより、半導体基板101a～101cの積層構造を形成する。

【0011】**【発明が解決しようとする課題】**

しかしながら、従来の半導体モジュールの製造方法では、半導体基板101a～101c内に貫通電極107a～107cが形成され、層間接続を行うためには、上下層の貫通電極107a～107cの位置を合わせる必要がある。

このため、従来の半導体モジュールでは、上下層の貫通電極107a～107cの位置合わせを容易にするためには、貫通電極107a～107cの径を拡大する必要があり、その分だけチップサイズが大きくなるという問題があった。

【0012】

また、従来の半導体モジュールでは、層間接続を行うためには、上下層の貫通電極107a～107cを接合させる必要がある。

このため、チップサイズが大きくなると、半導体基板101a～101cの反りや、貫通電極107a～107cの高さのバラツキなどにより、上下層の貫通電極107a～107cの接合が不十分になり、層間接続の信頼性が劣化するという問題があった。

【0013】

そこで、本発明の目的は、チップサイズの拡大を抑制しつつ、層間接続の信頼性を向上させることが可能な半導体装置、半導体モジュール、電子機器、半導体装置の製造方法および半導体モジュールの製造方法を提供することである。

【0014】**【課題を解決するための手段】**

上述した課題を解決するために、請求項1記載の半導体装置によれば、半導体チップの主面上に形成された配線層と、前記配線層に接続され、前記半導体チッ

プの側壁に形成された層間接続用導電層とを備えることを特徴とする。

これにより、半導体チップの能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となる。

【0015】

このため、チップサイズの拡大を抑制しつつ、層間接続を行うための導電層を容易に拡大することが可能となるとともに、半導体チップを積層した後に層間接続用導電層を形成することが可能となる。

この結果、上下層の層間接続用導電層の位置合わせを容易に行うことが可能となるとともに、上下層の層間接続用導電層の接合を行う際に、層間接続用導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、層間接続の信頼性を向上させることが可能となる。

【0016】

また、請求項2記載の半導体装置によれば、半導体チップの主面上に形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面に形成された溝と、前記溝内に充填された導電層と、前記電極パッドと前記導電層とを接続する配線層とを備えることを特徴とする。

これにより、半導体チップの側壁に導電材料を流し込むことで、半導体チップの側壁に導電層を充填することが可能となり、半導体チップを積層した後に、層間接続を行うための導電層を形成することが可能となるとともに、半導体チップの能動領域に貫通電極を設ける必要がなくなる。

【0017】

このため、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、層間接続の信頼性を向上させることが可能となる。

また、請求項3記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの側壁にそれぞれ形成され、前記半導体チップ間の層間接続を行う導電層と、前記半導体チップの主面上にそれぞれ形成され、前記導電層に接続された配線層とを備えることを特徴とする。

【0018】

これにより、半導体チップの側壁を介して層間接続を行うことが可能となり、貫通電極を能動面に形成する必要がなくなる。

このため、チップサイズの増大を抑制しつつ、層間接続の位置合わせを容易にして、接続信頼性を向上させることが可能となる。

また、請求項4記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、前記電極パッドと前記導電層とそれぞれを接続する配線層とを備えることを特徴とする。

【0019】

これにより、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となり、半導体チップを積層する際に、上下層の貫通電極の接合を行う必要がなくなる。

このため、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、層間接続の信頼性を向上させることが可能となる。

【0020】

また、請求項5記載の半導体モジュールによれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記電極パッドと前記導電層とをそれぞれを接続する配線層と、前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、前記ピン状端子が立てられたインターポーザ基板と、前記ピン状端子を介して前記溝内に充填された導電層とを備えることを特徴とする。

【0021】

これにより、ピン状端子に沿って半導体チップをインターポーザ基板上に積層することで、半導体チップの位置合わせを図ることが可能となるとともに、ピン

状端子に沿ってハンダ材などを容易に付着させることが可能となる。

このため、ハンダディップなどにより、切断面に形成された溝に沿って導電層を容易に充填することが可能となり、半導体チップの3次元実装を容易に実現することが可能となる。

【0022】

また、請求項6記載の半導体モジュールによれば、前記半導体チップは、絶縁性樹脂を介して積層されていることを特徴とする。

これにより、半導体チップ上に絶縁性樹脂をべた塗りすることで、層間接続を可能としつつ、半導体チップ間の絶縁を図ることが可能となる。

このため、製造工程を複雑化することなく、半導体チップの絶縁を図ることが可能となるとともに、半導体チップの封止性を容易に向上させて、半導体モジュールの信頼性を向上させることが可能となる。

【0023】

また、請求項7記載の半導体モジュールによれば、配線層が主面上に形成されたインターポーザ基板と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、前記溝内に充填された導電層とを備えることを特徴とする。

【0024】

これにより、半導体チップをインターポーザ基板に実装した場合においても、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となり、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

【0025】

また、請求項8記載の半導体モジュールによれば、積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に

形成された溝と、前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部とを備えることを特徴とする。

【0026】

これにより、半導体チップをインターポーザ基板に実装した場合においても、半導体チップの突出の影響を回避しつつ、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となる。

このため、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、貫通電極の高さのバラツキやインターポーザ基板の反りの影響をなくしつつ、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

【0027】

また、請求項9記載の半導体モジュールによれば、開口部が形成された中間基板と、前記中間基板を介して積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第1の溝と、前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層とを備えることを特徴とする。

【0028】

これにより、平板状のインターポーザ基板に半導体チップを実装した場合においても、半導体チップの突出の影響を回避しつつ、インターポーザ基板の側壁を介して半導体チップの層間接続を行うことが可能となる。

このため、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、インターポーザ基板の構造を複雑化することなく、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

【0029】

また、請求項 1 0 記載の電子機器によれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記溝内に充填され、前記半導体チップ間の層間接続を行う導電層と、前記電極パッドと前記導電層とそれぞれを接続する配線層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

【0 0 3 0】

これにより、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となり、チップサイズの拡大を抑制しつつ、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となる。

【0 0 3 1】

また、請求項 1 1 記載の電子機器によれば、積層された半導体チップと、前記半導体チップの主面上にそれぞれ形成された電極パッドと、前記半導体チップを厚み方向に横切るようにして、前記半導体チップの切断面にそれぞれ形成された溝と、前記電極パッドと前記導電層とをそれぞれを接続する配線層と、前記溝内にはめ込まれるようにして、前記半導体チップの積層方向に配置されたピン状端子と、前記ピン状端子が立てられたインターポーザ基板と、前記ピン状端子を介して前記溝内に充填された導電層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

【0 0 3 2】

これにより、半導体チップを精度よく積層することが可能となるとともに、切断面に形成された溝に沿って導電層を容易に充填することが可能となり、チップサイズの拡大を抑制しつつ、半導体チップの 3 次元実装を容易に実現することが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となる。

【0033】

また、請求項12記載の電子機器によれば、積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された溝と、前記溝内に充填され、前記インターポーザ基板間の層間接続を行う導電層と、前記インターポーザ基板の裏面に形成され、前記半導体チップを収容する凹部と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

【0034】

これにより、半導体チップの種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体チップの3次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、様々の機能を電子機器に容易に付加することが可能となる。

【0035】

また、請求項13記載の電子機器によれば、開口部が形成された中間基板と、前記中間基板を介して積層されたインターポーザ基板と、前記インターポーザ基板の主面上に形成された配線層と、前記配線層に接続され、前記インターポーザ基板上に実装された半導体チップと、前記インターポーザ基板を厚み方向に横切るようにして、前記インターポーザ基板の側壁に形成された第1の溝と、前記中間基板を厚み方向に横切るようにして、前記中間基板の側壁に形成された第2の溝と、前記第1および第2の溝内に充填され、前記中間基板を介して前記インターポーザ基板間の層間接続を行う導電層と、前記導電層を介して前記半導体チップに接続された電子部品とを備えることを特徴とする。

【0036】

これにより、半導体チップの種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体チップの3次元実装を容易に実現するこ

とが可能となるとともに、インターポーザ基板の複雑化を防止しつつ、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、コストアップを抑制しつつ、様々の機能を電子機器に容易に付加することが可能となる。

【0 0 3 7】

また、請求項 1 4 記載の半導体装置の製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

これにより、半導体ウェハの平面上で加工を行うことで、半導体ウェハの側壁に溝を形成することが可能となり、半導体ウェハの切断面を直接加工することなく、半導体ウェハの切断面に導電層を容易に充填することが可能となる。

【0 0 3 8】

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることができ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となることから、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

【0 0 3 9】

また、請求項 1 5 記載の半導体装置の製造方法によれば、配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、前記掘り込み部内に絶縁膜を形成する工程と、前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

【0 0 4 0】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することが可能となり、半導体ウェハの切断面を直接加工することなく、半導体ウェハの切断面に導電層を容易に充填することが可能となるとともに、半導体ウェハを切断するために必要なマージン領域を有効活用して、層間接続を行うことが可能となる。

【0041】

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることが可能となるとともに、能動領域を犠牲にして、貫通電極を形成する必要がなくなる。

この結果、チップサイズの拡大を抑制しつつ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

【0042】

また、請求項16記載の半導体モジュールの製造方法によれば、半導体チップの側壁に導電層を形成する工程と、前記半導体チップの側壁に形成された導電層を介して層間接続を行う工程とを備えることを特徴とする。

これにより、能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となり、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくして、層間接続の信頼性を向上させることが可能となる。

【0043】

また、請求項17記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により形成された半導体チップを積層する工程と、前記切断により分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

【0044】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することができ、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となる。

このため、半導体チップを積層する際に、上下層の貫通電極の接合を行う必要がなくなり、半導体チップの位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、層間接続の信頼性を向上させることが可能となる。

【0045】

また、請求項18記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通電極を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通電極を介して、前記切断により形成された半導体チップの層間接続を行う工程とを備えることを特徴とする。

【0046】

これにより、貫通電極が形成された半導体ウェハを切断することで、半導体ウェハの側壁に導電層を一括して形成することができる。

このため、半導体ウェハの切断後の導電材料の充填工程を省略しつつ、半導体ウェハの切断面に導電層を精度よく形成することが可能となるとともに、半導体ウェハを切断するために必要なマージン領域を有効活用して、層間接続を行うことが可能となる。

【0047】

また、請求項19記載の半導体モジュールの製造方法によれば、配線層が形成された半導体ウェハの切断線上に掘り込み部を形成する工程と、前記掘り込み部に絶縁膜を形成する工程と、前記絶縁膜を覆うとともに、前記配線層に接続されるアンダーバリアメタル層を形成する工程と、前記半導体ウェハの裏面を薄型化することにより、前記掘り込み部を貫通させ、前記切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により形成された半導体チップを積層する工程と、前記切断により分割された貫通孔に導電層を充填する工程とを備えることを特徴とする。

【0048】

これにより、貫通孔が形成された半導体ウェハを切断することで、半導体ウェハの側壁に溝を形成することが可能となるとともに、積層された半導体チップの側壁に導電材料を流し込むことで、半導体チップの層間接続を行うことが可能となる。

このため、製造工程を煩雑化させることなく、半導体チップの側壁に導電層を設けることが可能となるとともに、能動領域を犠牲にして、貫通電極を形成する必要がなくなる。

【0049】

この結果、チップサイズの拡大を抑制しつつ、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、上下層の導電層の接合を行う際に、導電層の高さのバラツキや半導体チップの反りの影響をなくすることが可能となり、スループットの低下を抑制しつつ、層間接続の信頼性を向上させることが可能となる。

【0050】

また、請求項 20 記載の半導体モジュールの製造方法によれば、半導体ウェハの切断線上に貫通孔を形成する工程と、前記切断線に沿って前記半導体ウェハをチップ状に切断する工程と、前記切断により分割された貫通孔内にピン状端子がはめ込まれるようにして、前記ピン状端子が立てられたインターポーザ基板上に半導体チップを積層する工程と、前記分割された貫通孔内に導電層を充填する工程とを備えることを特徴とする。

【0051】

これにより、ピン状端子に沿って半導体チップをインターポーザ基板上に積層することで、半導体チップの位置合わせを図ることが可能となるとともに、ピン状端子に沿ってハンダ材などを容易に付着させることが可能となり、半導体チップの 3 次元実装を容易に実現することが可能となる。

また、請求項 21 記載の半導体モジュールの製造方法によれば、側壁に溝が形成され、裏面に凹部が形成されたインターポーザ基板上に半導体チップを実装する工程と、上層に積層されるインターポーザ基板の凹部に前記半導体チップが収

るようにして、半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする。

【0052】

これにより、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、貫通電極の高さのバラツキやインターポーザ基板の反りの影響をなくしつつ、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

また、請求項22記載の半導体モジュールの製造方法によれば、側壁に溝が形成されたインターポーザ基板上に半導体チップを実装する工程と、主面に開口部が形成され、側壁に溝が形成された中間基板を介して、前記半導体チップが実装されたインターポーザ基板を積層する工程と、前記インターポーザ基板および前記中間基板の溝内に導電層を充填することにより、層間接続を行う工程とを備えることを特徴とする。

【0053】

これにより、半導体チップの種類やチップサイズが異なる場合においても、半導体チップの3次元実装を容易に実現することが可能となるとともに、インターポーザ基板の構造を複雑化することなく、層間接続を実現することが可能となり、層間接続の信頼性を向上させることが可能となる。

【0054】


【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置の製造方法および半導体モジュールの製造方法について、図面を参照しながら説明する。

図1、2は、本発明の第1実施形態に係る半導体装置の製造方法を示す断面図、図3、4は、本発明の第1実施形態に係る半導体装置の製造方法を示す斜視図である。

【0055】

図1(a)および図3(a)において、半導体ウェハW上には、スクライブラインSLで区画された能動領域7が形成され、半導体ウェハWの能動面1'には



、パッド電極 2 が形成されるとともに、パッド電極 2 は、スクライブライン S L 上まで延伸された配線層 3 に接続されている。

そして、例えば、フォトリソグラフィ技術およびドライエッチング技術を用いることにより、半導体ウェハ W のスクライブライン S L に掘り込み部 4 を形成する。

【0056】

次に、図 1 (b) に示すように、例えば、フォトリソグラフィ技術および C V D 技術を用いることにより、掘り込み部 4 内に絶縁膜 5 を形成する。なお、絶縁膜 5 としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

そして、例えば、フォトリソグラフィ技術およびスパッタ技術を用いることにより、絶縁膜 5 で覆われた掘り込み部 4 内にアンダーバリアメタル膜 6 を形成するとともに、掘り込み部 4 内に形成されたアンダーバリアメタル膜 6 を配線層 3 に接続する。なお、アンダーバリアメタル膜 6 としては、例えば、T i W、T i N、C r または N i などを用いることができる。

【0057】

次に、図 1 (c) に示すように、バックグラインドを用いて半導体ウェハ W の裏面 1 ' ' を研削することにより、半導体ウェハ W を薄型化する。

ここで、半導体ウェハ W の裏面 1 ' ' のバックグラインドは、絶縁膜 5 が露出する手前で終了させる。

そして、半導体ウェハ W がバックグラインドにより薄型化されると、半導体ウェハ W の裏面 1 ' ' をドライエッチングすることにより、半導体ウェハ W をさらに薄型化するとともに、掘り込み部 4 底面の絶縁膜 5 およびアンダーバリアメタル膜 6 を除去し、掘り込み部 4 を貫通させて、半導体ウェハ W に貫通孔 4 ' を形成する。なお、半導体ウェハ W の裏面 1 ' ' のドライエッチング時のエッチングガスとしては、例えば、C l₂、H B r、S F₆などを用いることができ、絶縁膜 4 のドライエッチング時のエッチングガスとしては、例えば、C l₂、H B r、S F₆などを用いることができる。

【0058】

次に、図 1 (d) および図 3 (b) に示すように、貫通孔 4' が形成された半導体ウェハ W をスクライブライン S L に沿って切断し、貫通孔 4' を縦方向に分割することにより、半導体基板 1 の側壁に溝 4'' を形成する。

次に、図 2 (a) および図 4 (a) に示すように、側壁に溝 4 a ~ 4 c がそれぞれ形成された半導体基板 1 a ~ 1 c を、樹脂層 8 a、8 b を介して積層する。ここで、半導体基板 1 a ~ 1 c および樹脂層 8 a、8 b を積層する場合、各半導体基板 1 a ~ 1 c の側壁に形成された溝 4 a ~ 4 c が縦方向に揃うようにする。

【0059】

次に、図 2 (b) および図 4 (b) に示すように、樹脂層 8 a、8 b に跨がるようにして、溝 4 a ~ 4 c 内に導電材料 11 を充填することにより、各半導体基板 1 a ~ 1 c に形成されたパッド電極 2 a ~ 2 c を層間接続する。

なお、溝 4 a ~ 4 c 内に充填する導電材料 11 としては、例えば、A g ペーストやハンダペースト、あるいは導電性スリラーなどを用いることができる。

【0060】

図 5 は、本発明の一実施形態に係る導電材料の充填方法を示す側面図である。

図 5 (a) において、溝 4 a ~ 4 c 内に導電材料 11 を充填する場合、積層された半導体基板 1 a ~ 1 c の壁面上に導電材料 11 を塗布する。

そして、導電材料 11 が塗布された半導体基板 1 a ~ 1 c の壁面上でステージ 12 をスライドさせ、半導体基板 1 a ~ 1 c の壁面上の導電材料 11 を擦り取ることにより、溝 4 a ~ 4 c 内に導電材料 11 を充填する。

【0061】

これにより、半導体基板 1 a ~ 1 c の側壁に導電材料 11 を充填することで、半導体基板 1 a ~ 1 c の層間接続を行なうことが可能となり、半導体基板 1 a ~ 1 c を積層した後に、層間接続を行うための導電層を形成することが可能となるとともに、半導体基板 1 a ~ 1 c の能動面に貫通電極を設ける必要がなくなる。

このため、チップサイズの増大を抑制しつつ、溝 4 a ~ 4 c の幅を容易に拡大することが可能となり、半導体基板 1 a ~ 1 c を積層する際の位置合わせを容易化することが可能となるとともに、貫通電極の高さのバラツキや半導体基板 1 a ~ 1 c の反りの影響を受けることなく、半導体基板 1 a ~ 1 c の層間接続を行な

うことが可能となり、積層構造の小型化を図りつつ、層間接続の信頼性を向上させることが可能となる。

【0062】

また、半導体基板 1a～1c の側壁を介して層間接続を行なうことにより、層間接続の妨げになることなく、半導体基板 1a～1c の全面に樹脂層 8a、8b をべた塗りすることが可能となる。

このため、製造工程を複雑化することなく、半導体基板 1a～1c 間の絶縁を図ることが可能となるとともに、半導体基板 1a～1c の封止性を容易に向上させて、半導体モジュールの信頼性を向上させることが可能となる。

【0063】

図 6、7 は、本発明の第 2 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

図 6 (a) において、半導体基板 21 上には能動領域 27 が形成されるとともに、半導体基板 21 の側壁には溝 24 が形成され、半導体基板 21 の能動面 21' には、パッド電極 22 および配線層 23 が形成されている。また、パッド電極 23 は、溝 24 まで延伸された配線層 23 に接続され、溝 24 の表面は絶縁膜 25 で覆われるとともに、絶縁膜 25 で覆われた溝 24 内には、配線層 23 に接続されたアンダーバリアメタル膜 26 が形成されている。

【0064】

一方、図 6 (b) において、インターポーザ基板 31 上には、半導体基板 21 の溝 24 の配置に対応するように、ピン状端子 32 が立てられ、インターポーザ基板 31 の裏面にはバンプ電極 33 が形成され、ピン状端子 32 とバンプ電極 33 とは内部配線により接続されている。

なお、ピン状端子 32 は、例えば、Cu などのハンダ濡れ性のよい金属材料、または表面がハンダメッキされた金属材料などで構成することができ、ピン状端子 32 の径は、ピン状端子 32 が溝 24 内に収まるように設定することができる。

【0065】

そして、半導体基板 21 の積層構造を実現する場合、ピン状端子 32 が半導体

基板 21 の溝 24 内にはめ込まれるようにして、半導体基板 21 をピン状端子 32 に沿ってインターポーザ基板 31 上に積み上げる。

この結果、図 7 (a) に示すように、樹脂層 28 a、28 b によって層間絶縁された半導体基板 21 a ~ 21 c の積層構造を形成することができる。ここで、各半導体基板 21 a ~ 21 c には溝 24 a ~ 24 c が形成され、各溝 24 a ~ 24 c の表面は絶縁膜 25 a ~ 25 c でそれぞれ覆われるとともに、絶縁膜 25 a ~ 25 c で覆われた溝 24 a ~ 24 c 内には、アンダーバリアメタル膜 26 a ~ 26 c がそれぞれ形成されている。そして、例えば、半導体基板 21 a 上に形成されたパッド電極 22 a は配線層 23 a を介してアンダーバリアメタル膜 26 a に接続されている。

【0066】

次に、図 7 (b) に示すように、ハンダディップなどにより、ピン状端子 32 に沿って導電材料 34 を付着させることにより、樹脂層 28 a、28 b に跨がるようにして、溝 24 a ~ 24 c 内に導電材料 34 を充填する。

これにより、ピン状端子 32 に沿って半導体基板 21 a ~ 21 c を積み上げていくことにより、溝 24 a ~ 24 c の位置を揃えながら、半導体基板 21 a ~ 21 c を積層することができ、位置合わせにかかる手間を軽減させて、半導体基板 21 a ~ 21 c の積層構造を容易に実現することが可能となる。

【0067】

また、ピン状端子 32 をハンダ濡れ性のよい金属材料で構成することにより、ハンダディップなどにより、導電材料 34 を溝 24 a ~ 24 c 内に一括して充填することができる。

また、ピン状端子 32 をハンダメッキされた金属材料などで構成することにより、熱処理を行なうことで、樹脂層 28 a、28 b を介して溝 24 a ~ 24 c を一括してハンダ接続することができる。

【0068】

図 8、9 は、本発明の第 3 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

図 8 において、半導体基板 41 上には能動領域 42 が形成されるとともに、半

導体基板 41 の能動面にはパッド電極 43 が形成されている。

一方、インターポーザ基板 51 上には端子電極 52 および配線層 53 が形成されるとともに、インターポーザ基板 51 の側壁には溝 54 が形成され、端子電極 52 は、溝 54 まで延伸された配線層 53 に接続されている。

【0069】

また、インターポーザ基板 51 の側壁に形成された溝 54 内には、配線層 53 に接続されたアンダーバリアメタル膜 55 が形成され、インターポーザ基板 51 の裏面には、半導体基板 41 を収容可能な凹部 57 が設けられている。

なお、インターポーザ基板 51 としては、例えば、樹脂基板やセラミック基板、またはガラスエポキシ基板などを用いることができ、アンダーバリアメタル膜 55 としては、例えば、TiW、TiN、Cr または Ni などを用いることができる。

【0070】

そして、半導体基板 51 は、インターポーザ基板 51 上に実装され、半導体基板 51 上のパッド電極 43 は、ワイヤ 56 により、インターポーザ基板 51 上の端子電極 52 と接続されている。

そして、図 9 (a) に示すように、半導体基板がそれぞれ実装されたインターポーザ基板 51a ~ 51c を積層することにより、半導体基板の 3 次元実装構造を実現することができる。

【0071】

ここで、インターポーザ基板 51a ~ 51c の裏面に凹部 57a ~ 57c をそれぞれ設けることにより、インターポーザ基板 51a ~ 51c にそれぞれ実装された半導体基板を、上層のインターポーザ基板 51a ~ 51c の凹部 57a ~ 57c にそれぞれ収容することが可能となり、半導体基板がそれぞれ実装されたインターポーザ基板 51a ~ 51c を精度よく積層することが可能となる。

【0072】

なお、各インターポーザ基板 51a ~ 51c の側壁には溝 54a ~ 54c がそれぞれ形成されるとともに、各インターポーザ基板 51a ~ 51c の裏面には凹部 57a ~ 57c がそれぞれ形成され、各溝 54a ~ 54c 内には、アンダーバ

リアメタル膜 55a～55c がそれぞれ形成されている。

そして、例えば、インターポーザ基板 51a 上には端子電極 52a および配線層 53a が形成され、端子電極 52a は、配線層 53a を介してアンダーバリアメタル膜 55a に接続され、インターポーザ基板 51a 上には半導体基板 41a が実装され、半導体基板 41a 上のパッド電極 43a は、ワイヤ 56a により、インターポーザ基板 51a 上の端子電極 52a と接続されている。

【0073】

次に、図 9 (b) に示すように、インターポーザ基板 51a～51c の側壁にそれぞれ形成された溝 54a～54c 内に導電材料 58 を充填することにより、インターポーザ基板 51a～51c を介して、半導体基板の層間接続を実現する。

これにより、半導体基板 51 の種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体基板 51 の 3 次元実装を容易に実現することが可能となるとともに、層間接続の信頼性を向上させることが可能となる。

【0074】

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、様々の機能を電子機器に容易に付加することが可能となる。

図 10、11 は、本発明の第 5 実施形態に係る半導体モジュールの製造方法を示す断面図である。

【0075】

図 10 (a) において、インターポーザ基板 71 上には配線層 73 が形成されるとともに、インターポーザ基板 71 の側壁には溝 74 が形成され、インターポーザ基板 71 の側壁に形成された溝 74 内には、配線層 73 に接続されたアンダーバリアメタル膜 75 が形成されている。

そして、半導体基板 61 は、フェースダウンによりインターポーザ基板 71 上に実装され、半導体基板 61 のパッド電極は、配線層 73 を介してアンダーバリアメタル膜 75 に接続されている。

【0076】

一方、図10(b)において、中間基板81には半導体基板61を収容可能な開口部86が設けられ、中間基板81の側壁には溝84が形成され、中間基板81の側壁に形成された溝84内には、アンダーバリアメタル膜85が形成されている。

なお、インターポーザ基板71および中間基板81としては、例えば、樹脂基板やセラミック基板、またはガラスエポキシ基板などを用いることができ、アンダーバリアメタル膜75、85としては、例えば、TiW、TiN、CrまたはNiなどを用いることができる。

【0077】

そして、図11(a)に示すように、中間基板81a、81bをそれぞれ間に挟みつつ、半導体基板がそれぞれ実装されたインターポーザ基板71a～71cを積層することにより、半導体基板の3次元実装構造を実現することができる。

ここで、インターポーザ基板71a～71cの間に中間基板81a、81bをそれぞれ挟むことにより、インターポーザ基板71a～71cにそれぞれ実装された半導体基板を、中間基板81a、81bの開口部にそれぞれ収容することが可能となり、半導体基板がそれぞれ実装されたインターポーザ基板71a～71cを精度よく積層することが可能となる。

【0078】

また、中間基板81a、81bの側壁にも溝84a、84bを設けることにより、インターポーザ基板71a～71cの間に中間基板81a、81bを挟んだ場合においても、インターポーザ基板71a～71cの側壁を介して層間接続を容易に行なうことが可能となる。

なお、各インターポーザ基板71a～71cの側壁には溝74a～74cがそれぞれ形成されるとともに、各溝74a～74c内には、アンダーバリアメタル膜75a～75cがそれぞれ形成されている。

【0079】

また、各中間基板81a、81bの側壁には溝84a、84cがそれぞれ形成されるとともに、各溝84a、84b内には、アンダーバリアメタル膜85a、

85b がそれぞれ形成されている。

そして、例えば、インターポーザ基板 71a 上には、アンダーバリアメタル膜 75a に接続された配線層 73a が形成されるとともに、配線層 73a に接続された半導体基板 61a がフェースダウンで実装されている。

【0080】

次に、図 11 (b) に示すように、インターポーザ基板 71a ~ 71c および中間基板 81a、81b の側壁にそれぞれ形成された溝 74a ~ 74c、84a、84c 内に導電材料 86 を充填することにより、インターポーザ基板 71a ~ 71c および中間基板 81a、81b を介して、半導体基板の層間接続を実現する。

【0081】

これにより、半導体基板 71 の種類やチップサイズが異なる場合においても、チップサイズの拡大を抑制しつつ、半導体基板 71 の 3 次元実装を容易に実現することが可能となるとともに、インターポーザ基板 71a ~ 71c の複雑化を防止しつつ、層間接続の信頼性を向上させることが可能となる。

このため、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることが可能となるとともに、コストアップを抑制しつつ、様々の機能を電子機器に容易に付加することが可能となる。

【0082】

図 12、13 は、本発明の第 5 実施形態に係る半導体モジュールの製造方法を示す断面図である。

図 12 (a) において、半導体ウェハ W 上には、スクライブライン SL で区画された能動領域が形成され、半導体ウェハ W の能動面 91' には、パッド電極 92 が形成されるとともに、パッド電極 92 は、スクライブライン SL 上まで延伸された配線層 93 に接続されている。

【0083】

そして、例えば、フォトリソグラフィ技術およびドライエッチング技術を用いることにより、半導体ウェハ W のスクライブライン SL に掘り込み部 94 を形成する。

ここで、半導体ウェハWの厚みT1は、例えば、6インチウェハを用いた場合、 $625\mu\text{m}$ 、8インチウェハを用いた場合、 $725\mu\text{m}$ とすることができ、掘り込み部94の深さD1は、例えば、 $70\mu\text{m}$ とすることができる。

【0084】

次に、図12(b)に示すように、例えば、フォトリソグラフィ技術およびCVD技術を用いることにより、掘り込み部94内の底面および側面に絶縁膜95を形成する。なお、絶縁膜95としては、例えば、酸化珪素膜または窒化珪素膜などを用いることができる。

次に、図12(c)に示すように、例えば、スパッタまたは蒸着などにより、掘り込み部94内を含む半導体基板91上にシード電極96を形成する。なお、シード電極96としては、例えば、ニッケルNi、クロムCr、チタンTi、タングステンWなどの導電材料を用いることができる。

【0085】

そして、掘り込み部94に対応した位置に開口部97'が設けられたメッキレジスト層97を、シード電極96が形成された半導体基板91上に形成する。ここで、開口部97'の大きさは、開口部97'が配線層93上にかかるように設定する。

そして、シード電極96をメッキ端子とした電解メッキを行うことにより、メッキレジスト層97に設けられた開口部97'を介し、掘り込み部94および開口部97'内に埋め込み電極98を形成する。

【0086】

なお、埋め込み電極98としては、例えば、ニッケルNi、銅Cu、金Auなどからなる1層構造の他、ニッケルNi、銅Cu、金Auなどの金属上にSn、Sn-Pb、Sn-Ag、Sn-Cu、Sn-Znなどのハンダ材が積層された2層構造を用いるようにしてもよい。

また、埋め込み電極98の形成は、電解メッキを用いる方法のほか、無電解メッキを用いてもよく、また、例えば、インクジェット法により、導電性スラリーや導電性ペーストなどを掘り込み部94内に吐出させるようにしてもよい。

【0087】

次に、図 12 (d) に示すように、メッキレジスト層 97 を除去し、埋め込み電極 98 をマスクとして、シード電極 96 をエッチングすることにより、半導体ウェハ W の能動面 91' を露出させる。

次に、図 13 (a) に示すように、バックグラインドを用いて半導体ウェハ W の裏面 91'' を研削することにより、半導体ウェハ W を薄型化する。

【0088】

ここで、半導体ウェハ W の裏面 91'' のバックグラインドは、絶縁膜 95 が露出する手前で終了させ、バックグラインド後の半導体ウェハ W の厚み T2 は、例えば、 $100\text{ }\mu\text{m}$ とすることができる。

次に、図 13 (b) に示すように、半導体ウェハ W の裏面 91'' をドライエッチングすることにより、半導体ウェハ W をさらに薄型化し、掘り込み部 93 を貫通させて、半導体ウェハ W に貫通孔 94' を形成するとともに、絶縁膜 95 で覆われた埋め込み電極 98 の先端を露出させて、貫通電極 98' を形成する。なお、ドライエッチング後の半導体ウェハ W の厚み T3 は、例えば、 $50\text{ }\mu\text{m}$ とすることができる。また、半導体ウェハ W の裏面 91'' のドライエッチング時のエッチングガスとしては、例えば、 Cl_2 、 HBr 、 SF_6 などを用いることができる。

【0089】

次に、図 13 (c) に示すように、貫通電極 98' の先端の絶縁膜 95 をドライエッチングすることにより、貫通電極 98' の先端の絶縁膜 95 を除去する。なお、貫通電極 98' の先端の絶縁膜 95 のドライエッチング時のエッチングガスとしては、例えば、 Cl_2 、 HBr 、 SF_6 などを用いることができる。

次に、図 13 (d) に示すように、貫通電極 98' が形成された半導体ウェハ W をスクライブライン SL に沿って切断し、貫通電極 98' を縦方向に分割することにより、半導体基板 91 の側壁に溝 94'' を形成するとともに、溝 94' 内に埋め込まれた埋め込み電極 98'' を形成する。

【0090】

次に、図 13 (e) に示すように、各半導体基板 91a ~ 91c の溝 94a ~ 94c に充填された埋め込み電極 98a ~ 98c が接触するようにして、半導体

基板 91a～91c を積層し、半導体基板 91a～91c 間の隙間に樹脂 99a、99b をそれぞれ注入することにより、半導体基板 91a～91c の積層構造を形成する。

【0091】

これにより、半導体ウェハ W をスクライブライン SL に沿って切断すること、半導体基板 91 の側壁に埋め込み電極 98' を一括して形成することができる。

このため、半導体ウェハ W の切断後に形成された溝 94' 内に導電材料を充填する必要がなくなり、製造工程を簡略化することが可能となるとともに、半導体基板 91 の側壁に埋め込み電極 98' を精度よく形成することが可能となり、半導体基板 91 の側壁を用いた層間接続を安定して行うことが可能となる。

【0092】

なお、上述した実施形態では、半導体チップの側壁を介して層間接続を行う方法について説明したが、本発明は、半導体チップに限定されることなく、例えば、薄膜トランジスタなどが形成されたガラス基板やサファイア基板の側壁を介して層間接続を行う方法に適用してもよい。

また、上述したバンプ電極構造は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の信頼性を劣化させることなく、電子機器の小型・軽量化を図ることが可能となる。

【0093】

【発明の効果】

以上説明したように、本発明によれば、半導体チップの側壁を介して層間接続を行うことにより、能動領域に貫通電極を設けることなく、半導体チップの層間接続を行うことが可能となり、上下層の導電層の位置合わせを容易に行うことが可能となるとともに、導電層の高さのバラツキや半導体チップの反りの影響をなくして、層間接続の信頼性を向上させることが可能となる。

【図面の簡単な説明】

【図 1】 本発明の第 1 実施形態に係る半導体モジュールの製造方法を示す

断面図である。

【図 2】 本発明の第 1 実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図 3】 本発明の第 1 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 4】 本発明の第 1 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 5】 本発明の一実施形態に係る導電材料の充填方法を示す側面図である。

【図 6】 本発明の第 2 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 7】 本発明の第 2 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 8】 本発明の第 3 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 9】 本発明の第 3 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 10】 本発明の第 4 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 11】 本発明の第 4 実施形態に係る半導体モジュールの製造方法を示す斜視図である。

【図 12】 本発明の第 5 実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図 13】 本発明の第 5 実施形態に係る半導体モジュールの製造方法を示す断面図である。

【図 14】 従来の半導体モジュールの製造方法を示す断面図である。

【図 15】 従来の半導体モジュールの製造方法を示す断面図である。

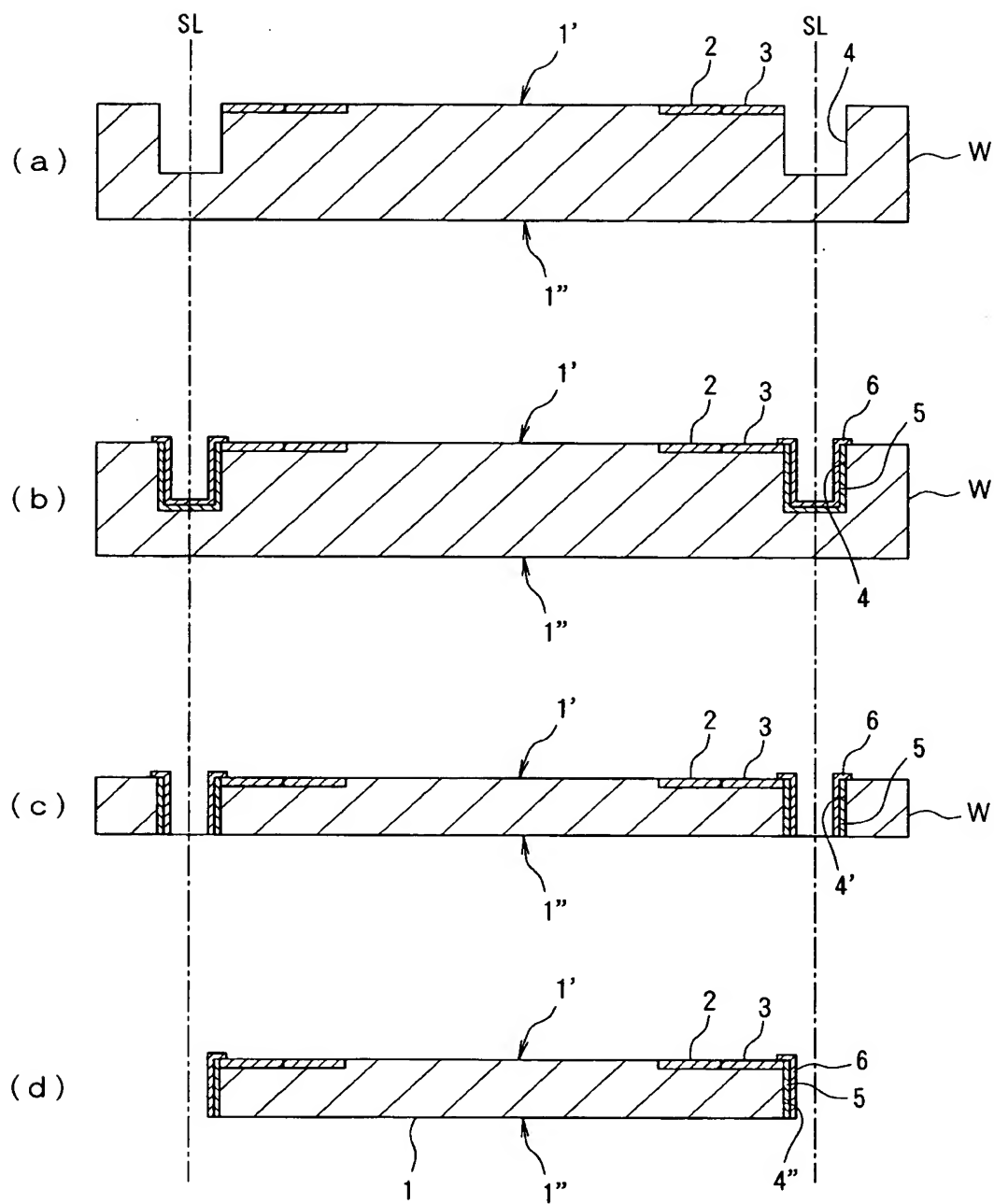
【符号の説明】

W 半導体ウェハ 1、1a～1c、21、21a～21c、41、41a、

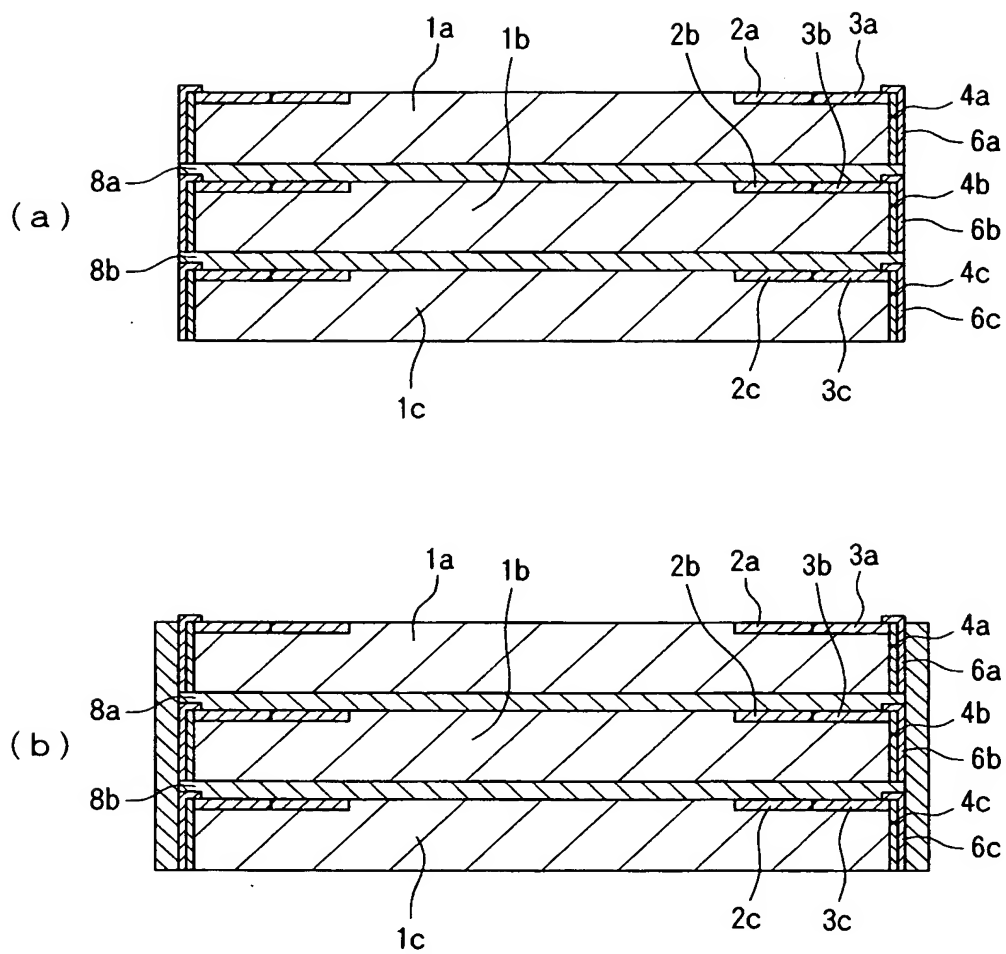
61、61a、91、91a~91c 半導体基板、1'、21'、91' 能動面 1''、91'' 裏面、2、22、22a、43、43a、92、92a~92c パッド電極、3、23、23a、53、53a、73、93 配線、4、94 掘り込み部、4'、94' 貫通孔、4''、4a~4c、24、24a~24c、54、54a~54c、74、84、74a~74c、84a、84b、94''、94a~94c 溝、5、25、25a~25c、95 絶縁膜、6、26、26a~26c、55、55a~55c、75、85、75a~75c、85a、85b アンダーバリアメタル層、7、27、27a、42、42a 能動領域、8a、8b、28a、28b 樹脂層、11、58、86、98''、98a~98c 導電材料、12 ステージ、31、51a~51c、71、71a~71c インターポーザ基板、32 ピン状端子、33 バンプ電極、34 ハンダ充填部、51 インターポーザ基板、52、52a 端子電極、56 ワイヤ、57、57a~57c 凹部、81 81a、81b 中間基板、86 開口部、96 シード電極、97 メッキレジスト層、98 埋め込み電極、98' 貫通電極、99a、99b 樹脂層、SL スクライブライン

【書類名】 図面

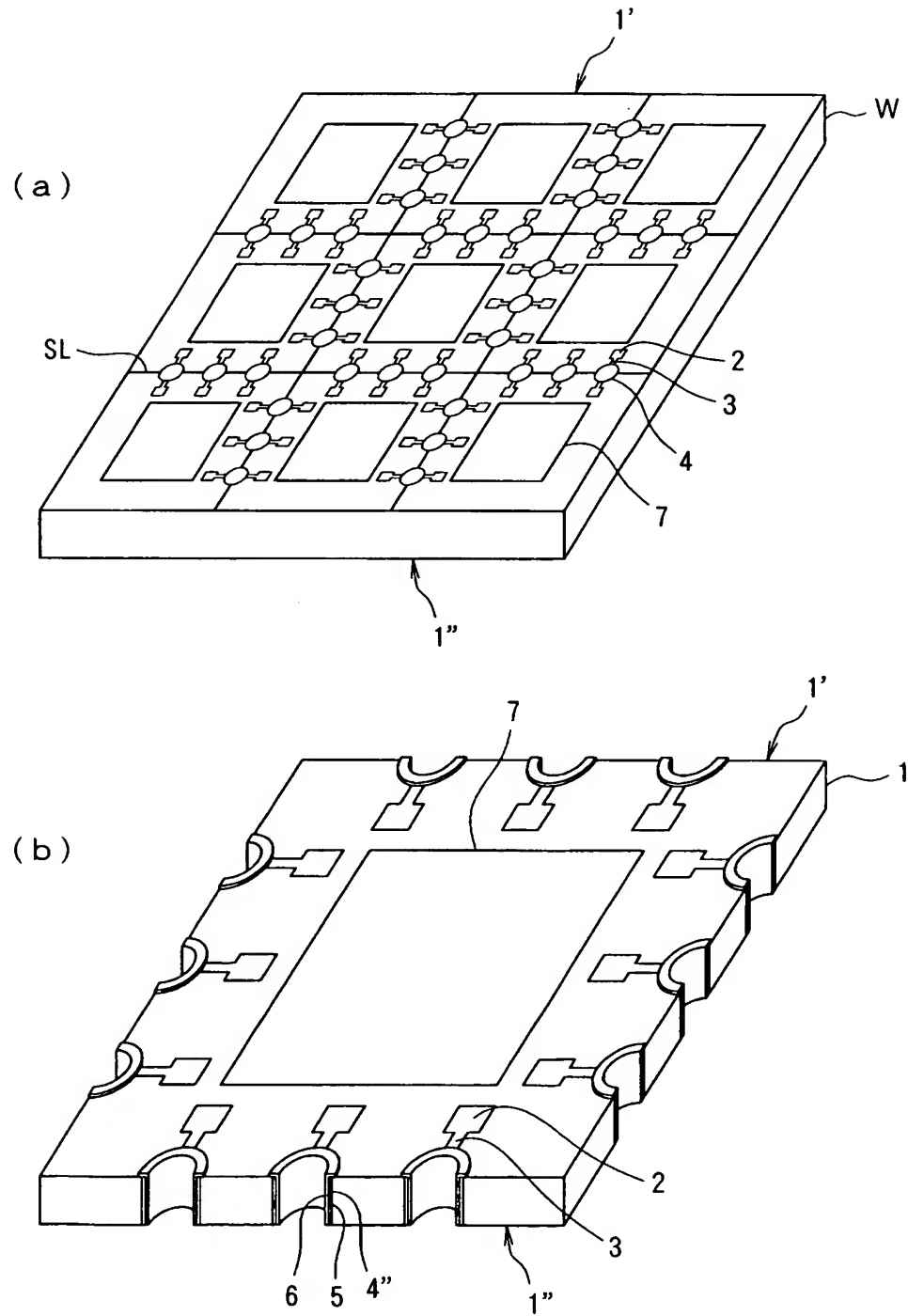
【図 1】



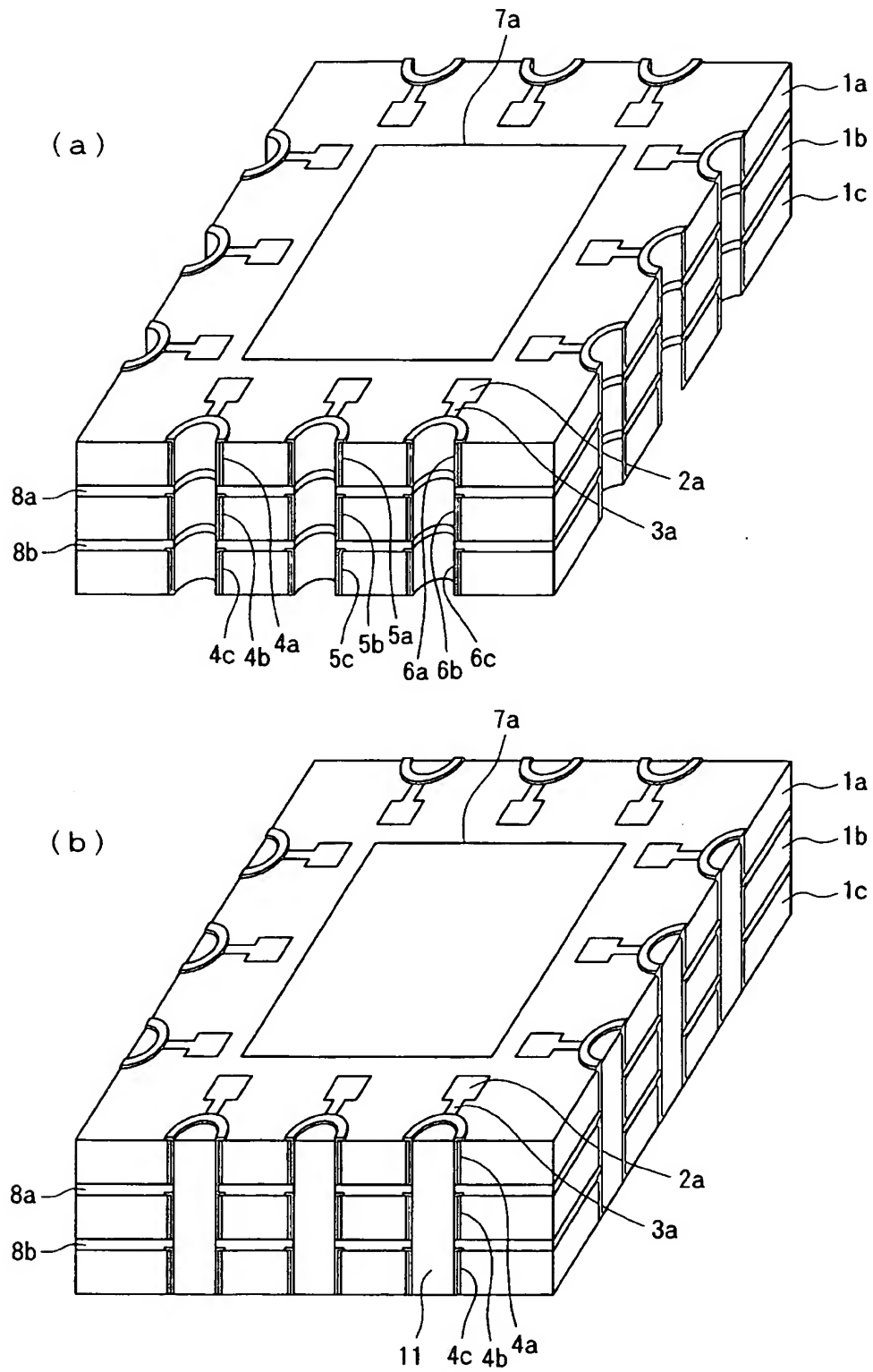
【図 2】



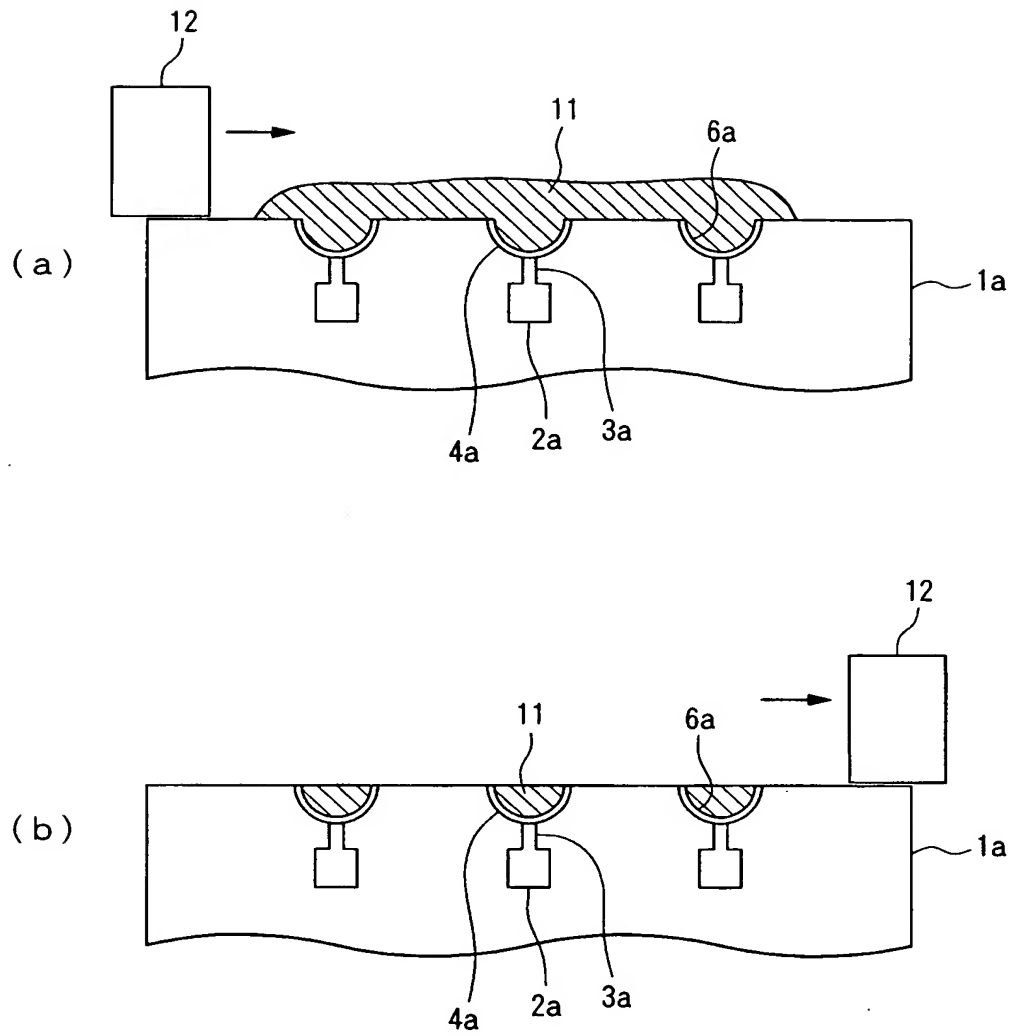
【図 3】



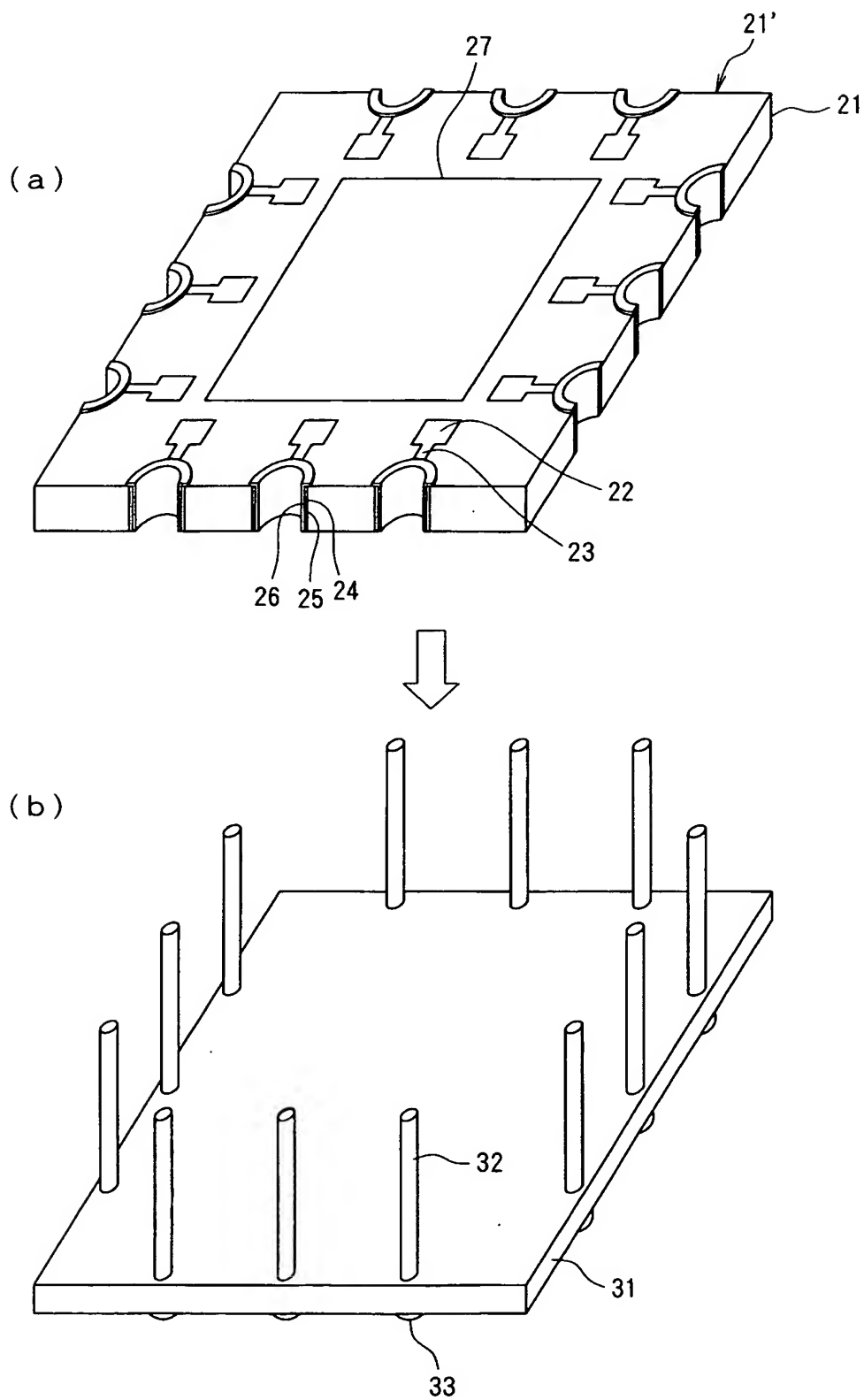
【図 4】



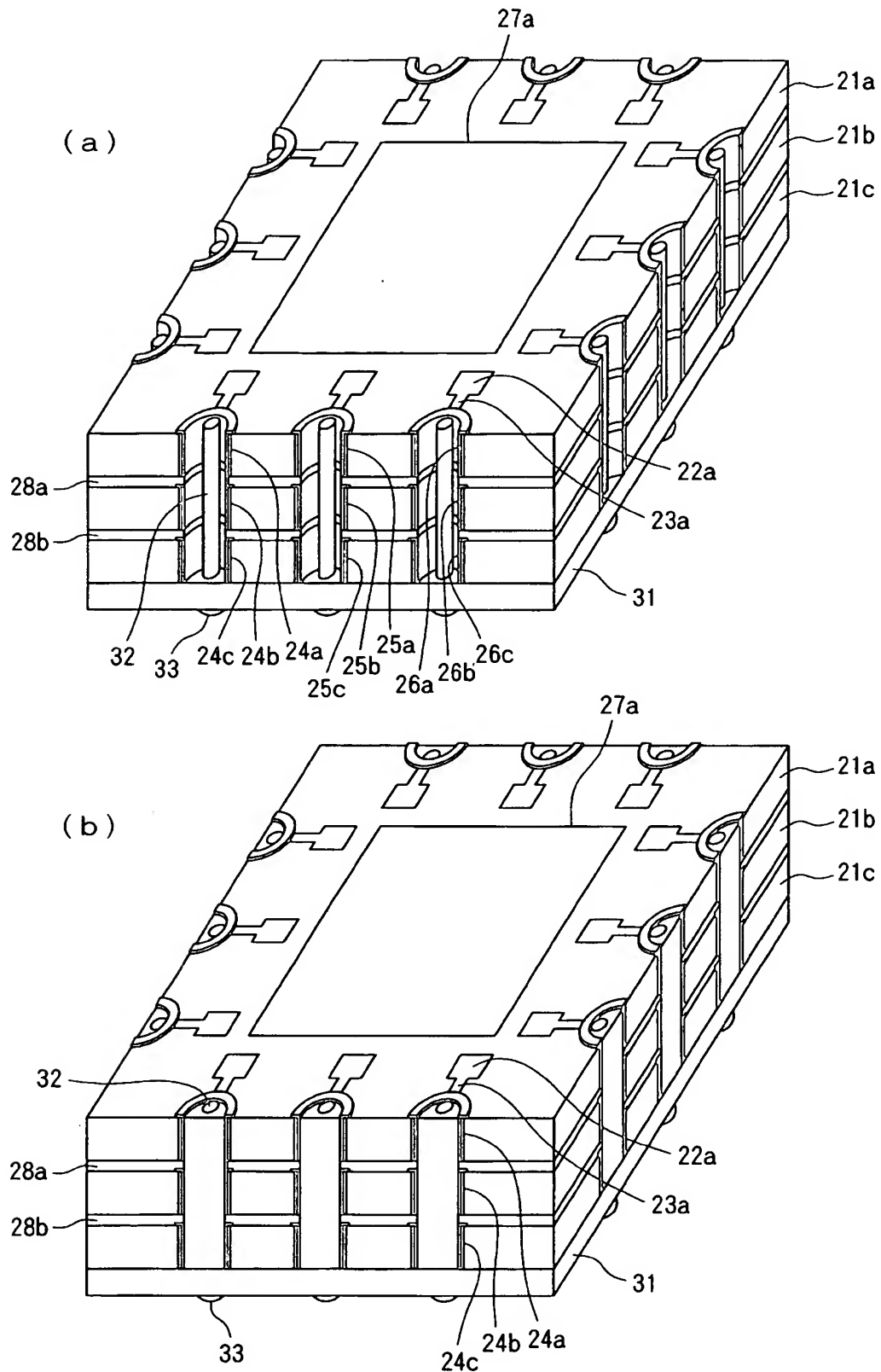
【図 5】



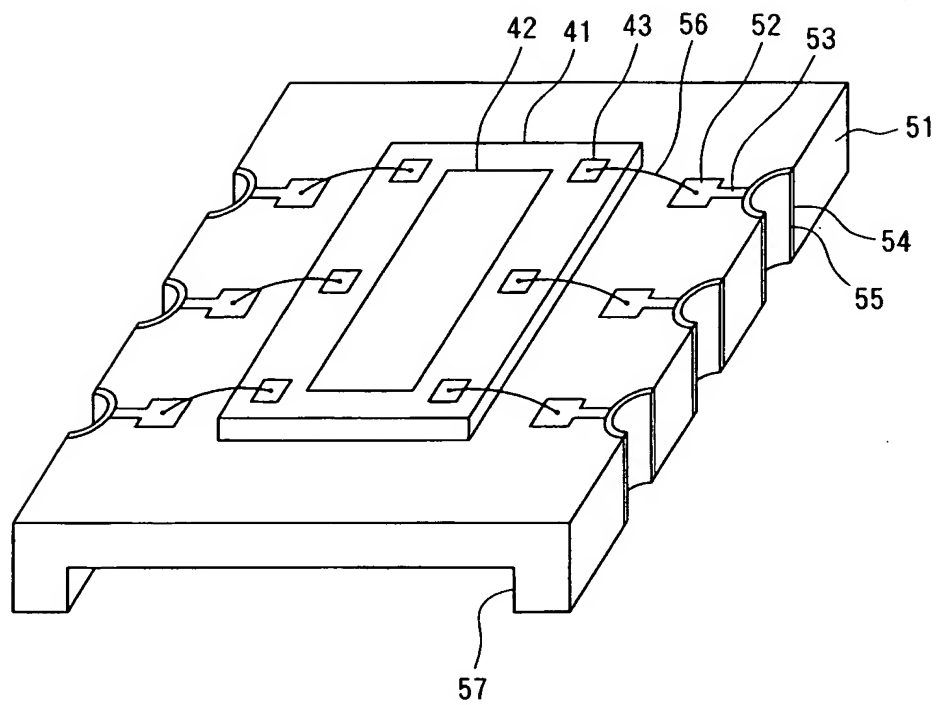
【図 6】



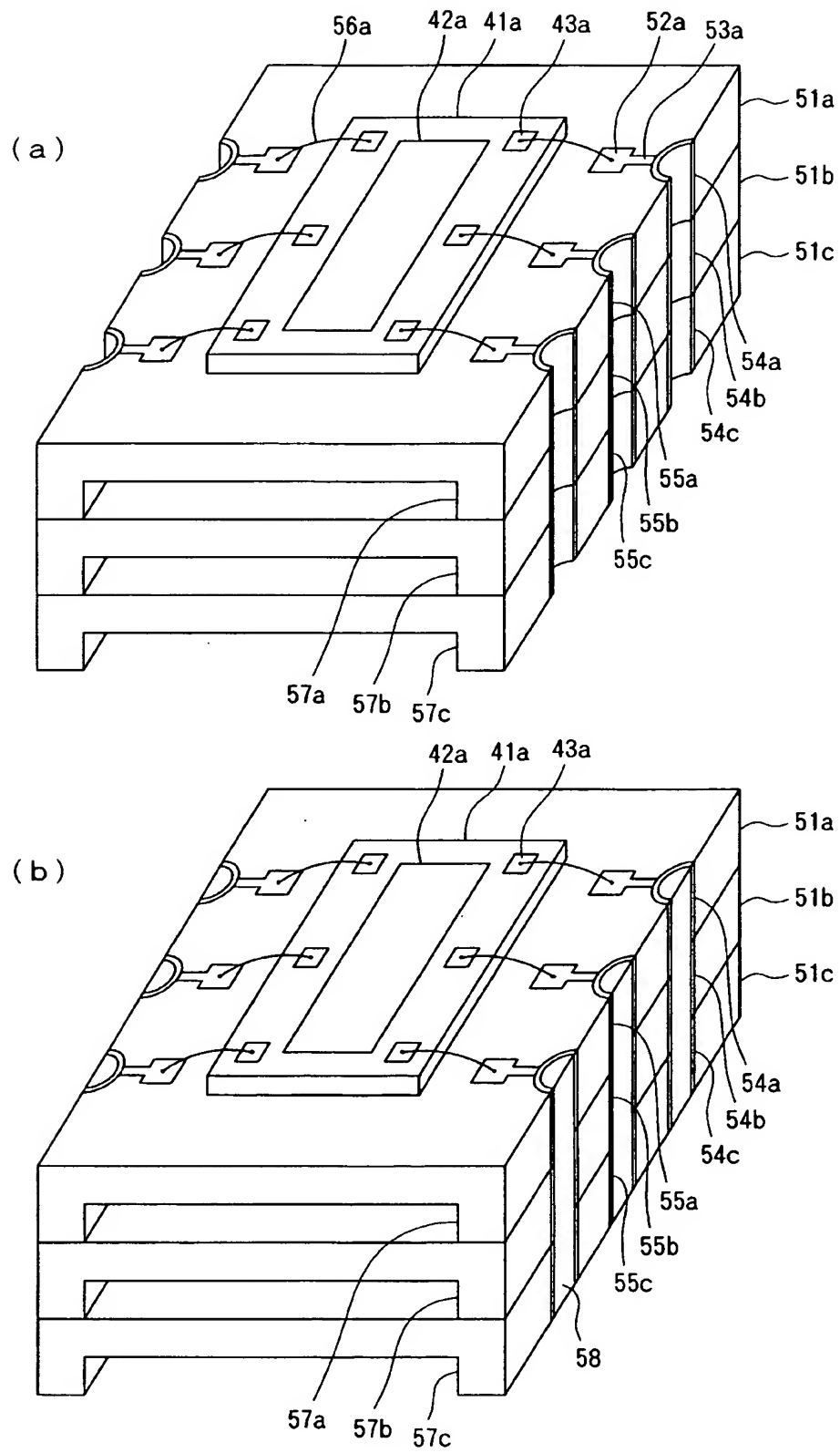
【図 7】



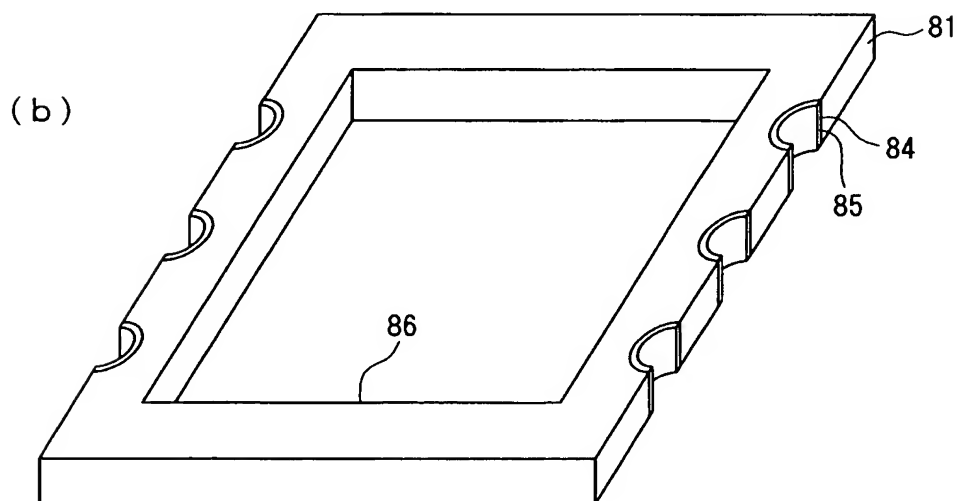
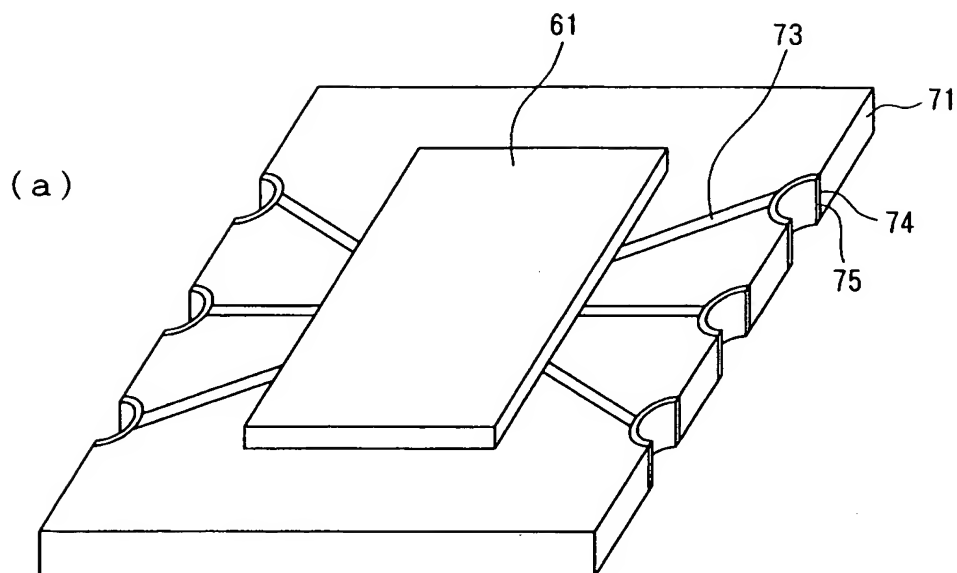
【図 8】



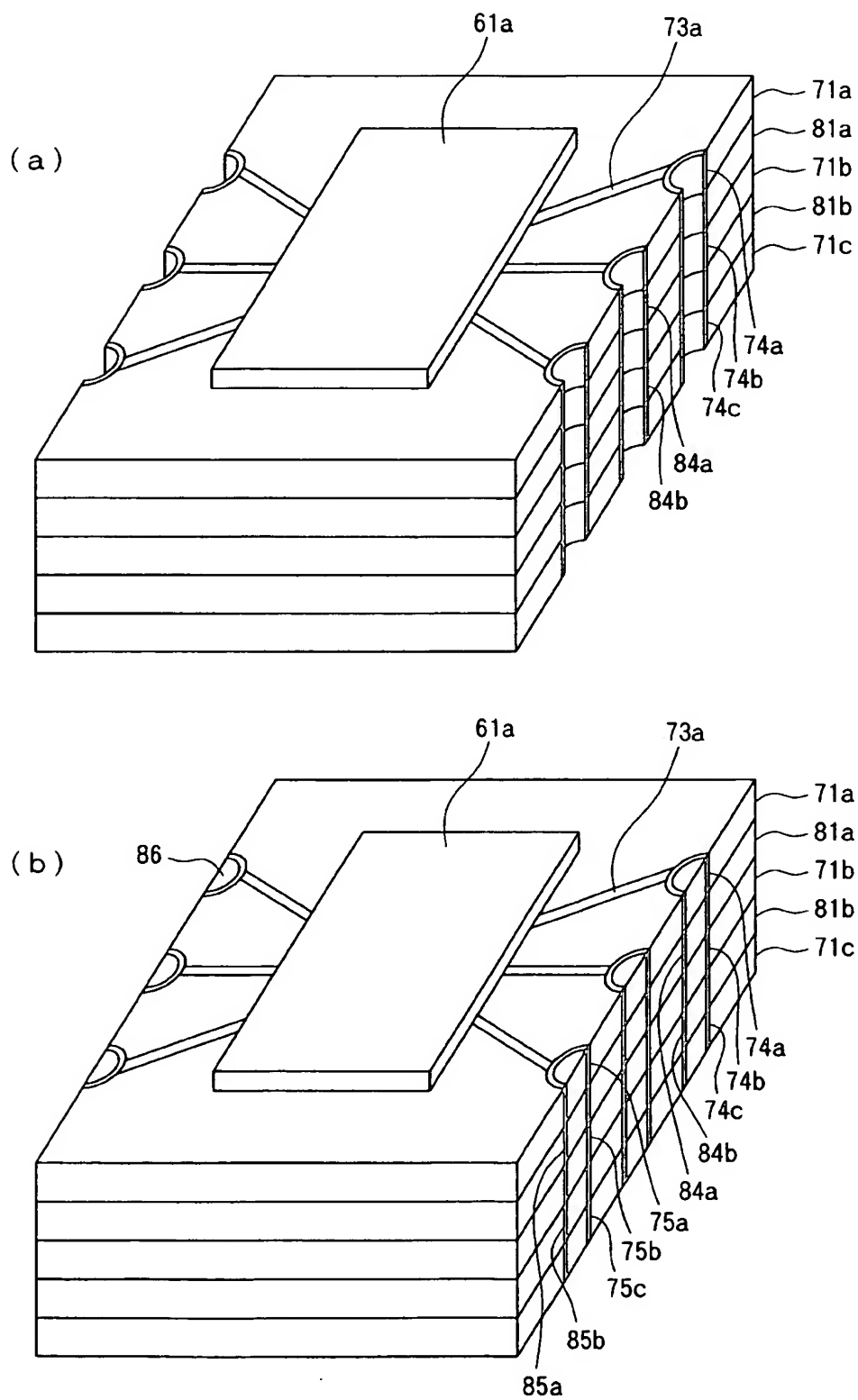
【図 9】



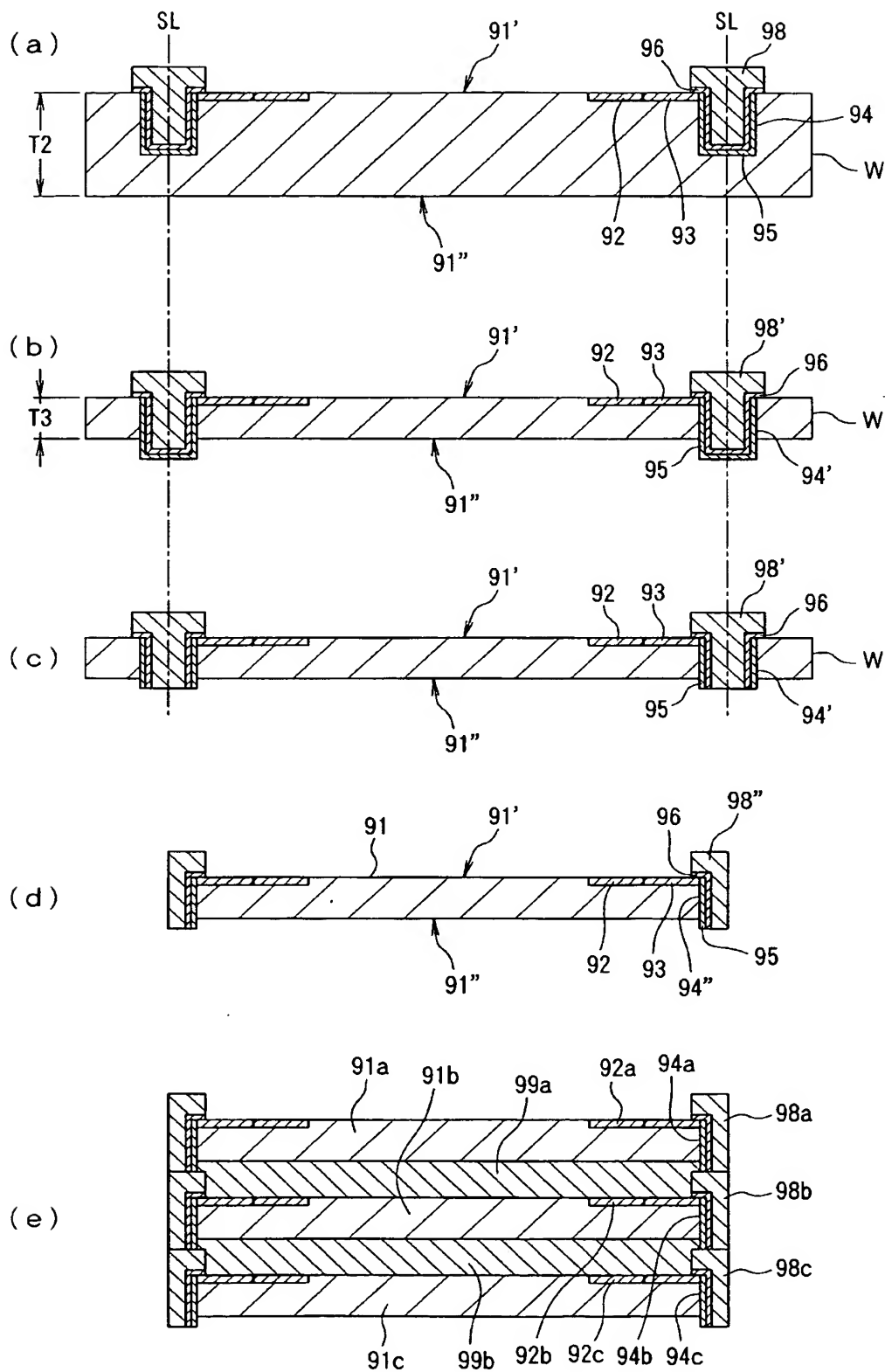
【図 10】



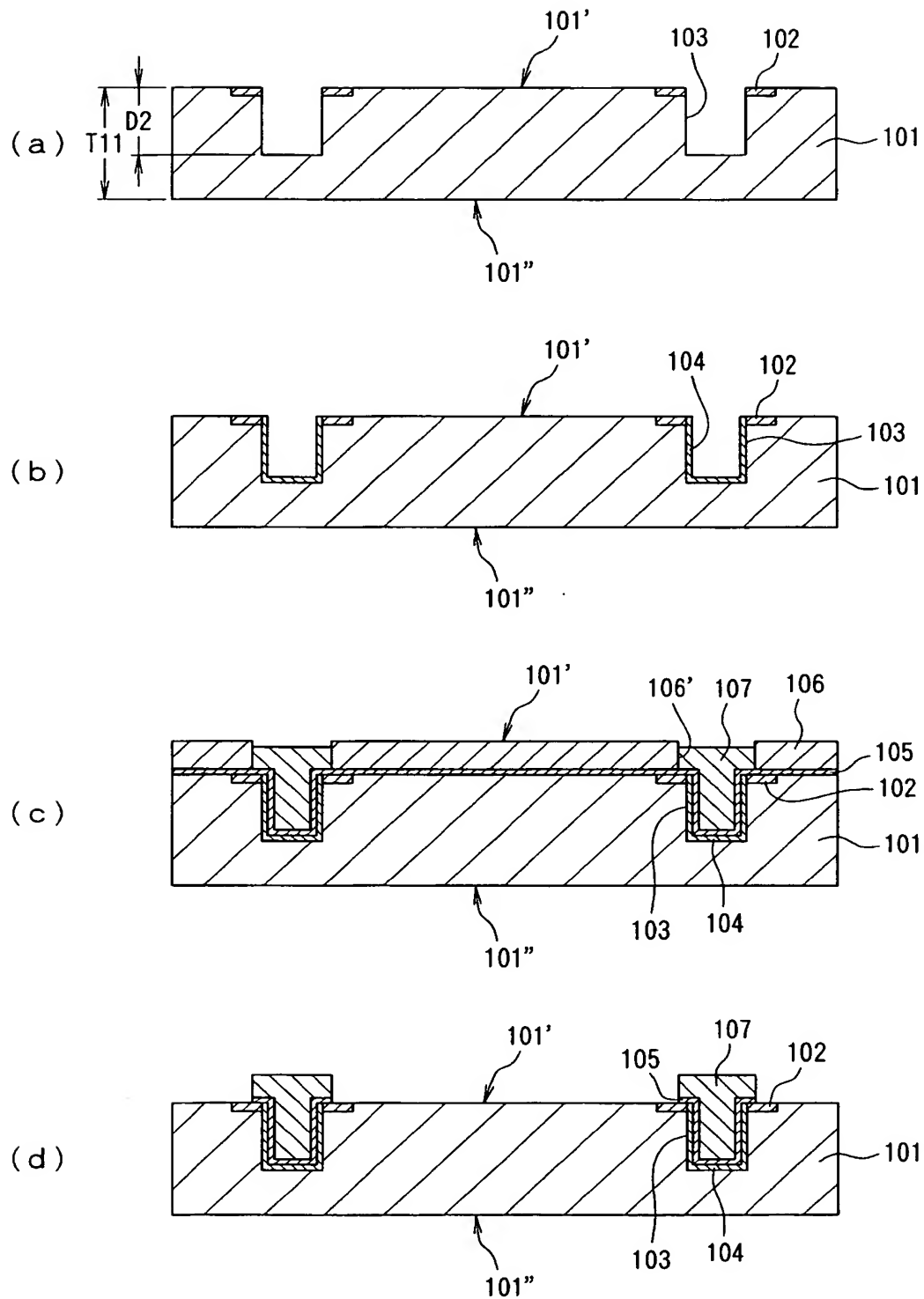
【図 11】



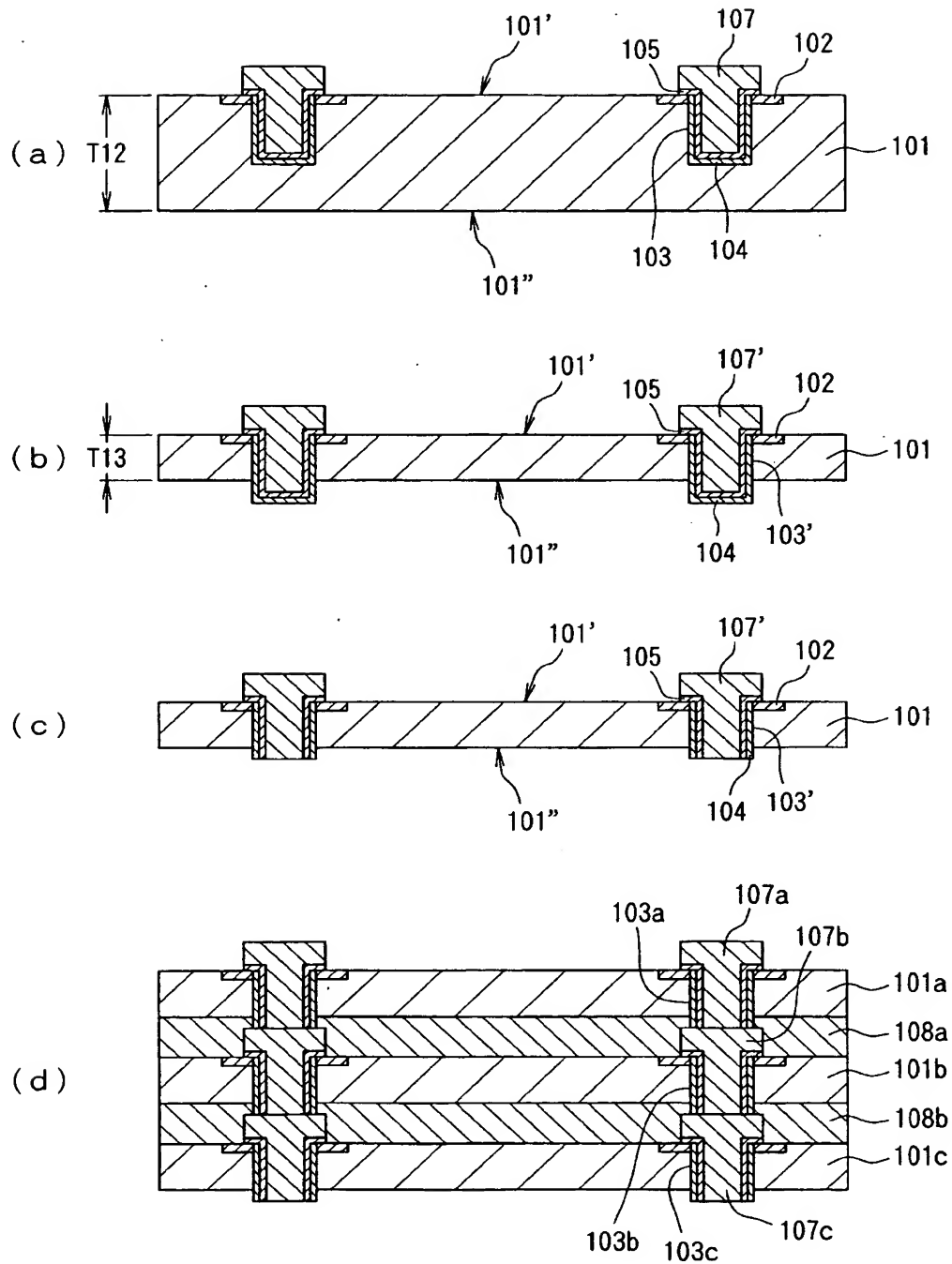
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 チップサイズの拡大を抑制しつつ、層間接続の信頼性を向上させる。

【解決手段】 半導体基板 1 a ~ 1 c のスクライブライン S L の位置に溝 4 a ~ 4 c を設け、半導体基板 1 a ~ 1 c を積層した後、半導体基板 1 a ~ 1 c の切断面に設けられた溝 4 a ~ 4 c 内に導電材料 1 1 を充填する。

【選択図】 図 4

特願 2 0 0 3 - 0 0 7 7 7 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社